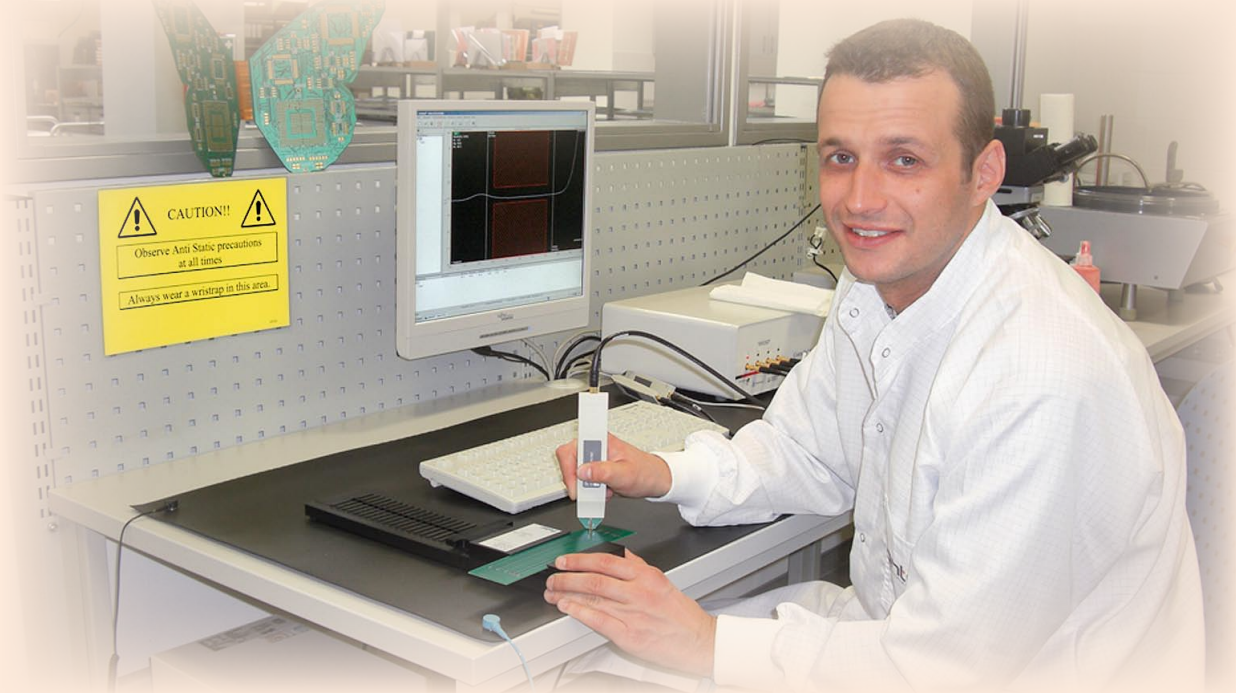


Tipps für Leiterplattendesigner – HDI-/Mikrovia-Serie Teil 15



Karim Richlowski, Leiter CAM beim Berliner Leiterplattenhersteller CONTAG, erklärt worauf bei impedanzkontrollierten Leiterplatten in der Praxis zu achten ist

Fertigungsgerechtes Layout für HDI-Leiterplatten

Nachdem wir in Teil 14 unserer Beitragsreihe die grundlegenden Begriffe und Aufgabenstellungen bei impedanzkontrollierten Leiterplatten veranschaulicht haben, folgt nun die Praxis. Karim Richlowski, Leiter CAM beim Berliner Leiterplattenhersteller CONTAG erklärt, worauf Entwickler bei Leiterplatten mit impedanzkontrollierten Leiterzügen in der praktischen Anwendung achten müssen.

Wie wir in der letzten Folge gelernt haben, ist die Grundimpedanz einer Leiterbahn primär abhängig von deren Geometrie (Querschnitt) und dem Abstand zu den Bezugslagen. Beides wird bereits mit dem Lagenaufbau festgelegt. Durch die diskreten (also nicht stufenlos und frei wählbaren) Vorgaben der Werte für Laminat- und Kupferschichtdicke sowie die üblichen Leiterbahnraaster (z.B. 75, 100, 125 und 150 μm) ist hier die Anzahl an sinnvollen Kombinationsmöglichkeiten für eine bestimmte Zielimpedanz nicht allzu groß. Zudem werden die möglichen Laminatdicken auch noch durch das maximale Aspect Ratio eingeschränkt. Dies gilt insbesondere bei der Verwendung der in der HDI-Technik üblichen Mikrovias.

So ergibt sich aus der geforderten Verdrahtungsdichte zunächst die Anzahl an benötigten Lagen, die Nennbreite der Leiterbahnen und die Größe der verwendeten Vias und Mikrovias. Daraus folgt die maximale jeweilige Lagendicke. Danach wird versucht, durch Variation von Kupferschichtdicke und Leiterbahnbreite die gewünschte Zielimpedanz einzustellen.

Zur groben Abschätzung kann man hier meist Tabellen des Leiterplattenherstellers oder auch Empfehlungen aus den Datenblättern der Halbleiterhersteller verwenden. In der Praxis liegt dann die produktionsbedingte Schwankungsbreite der Impedanz bei etwa $\pm 10\%$ für eine Standardtechnologie, was für viele Anwendungsfälle bereits genügt.

Zu berücksichtigen ist dabei aber auch, dass sich diese Schwankung auf den errechneten Nennwert bezieht. Weicht dieser bereits von der Zielimpedanz ab, so ist diese Abweichung der Toleranz hinzuzufügen. Will man also z.B. eine Zielimpedanz von 100 Ω erreichen und der sich aus den Geometrien errechnende Nennwert liegt bei nur 96 Ω , so ergibt sich dann bei einer Produktionstoleranz von $\pm 10\%$ ein Minimum von etwa 86 Ω was dann schon einer maximalen Abweichung von gut 14% entspricht!

Wichtig ist das passende Impedanzmodell – Software bietet fast hundert verschiedene

Will man die in Sondertechnologien erreichbaren minimalen Toleranzen von $\pm 5\%$ und weniger erreichen, so genügen einfache Tabellen und Übersichtsrechnungen nicht mehr, sondern die jeweiligen Impedanzwerte müssen einschließlich ihrer jeweiligen Toleranzen exakt kalkuliert werden.

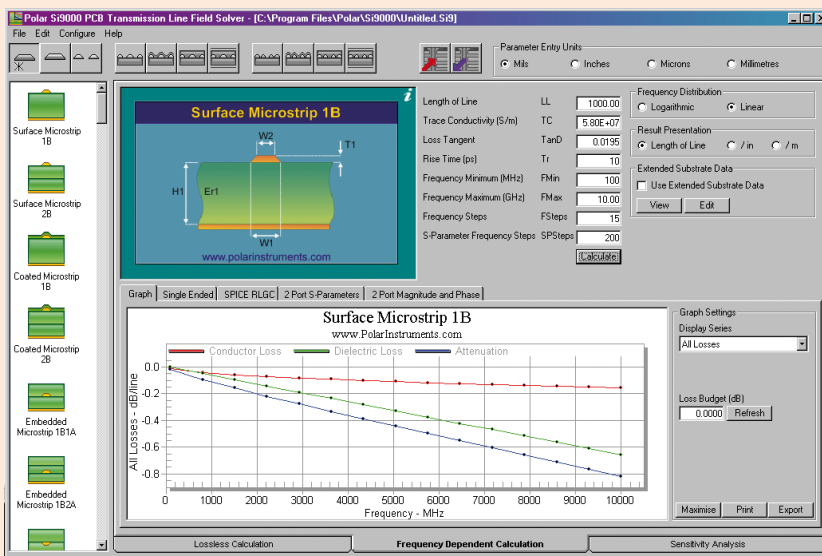
Dies fängt bereits mit der Wahl der richtigen und detaillierten Impedanzmodelle an. Moderne Software für diese Berechnung wie die bei CONTAG eingesetzte von Polar Ins-

truments verfügt über knapp hundert unterschiedliche Impedanzmodelle! In der Praxis ist es zwingend erforderlich, dass der Leiterplattenhersteller auf seinem CAM-Arbeitsplatz sensitivitätskritische Parameter optimieren kann. Viele der Impedanz beeinflussenden Werte sind im Detail produktionspezifisch. Als Beispiel sei hier die Breite und (Trapez-)Form der Leiterbahnen genannt, die sich durch Unter- oder Überätzung stark ändern können. Weitere Toleranzfaktoren sind unter anderem die Pressdicke in Abhängigkeit von Kupferdicke und Kupferbelegung,

Lötstopplacke, Kupfer-Schichtaufträge in Abhängigkeit von Kontaktierungen sowie Bearbeitungsschritte wie Planen und Schleifen beim eventuellen Hole-Plugging-Prozess. Hier kann der Entwickler dem Leiterplattenhersteller bereits wirkungsvoll zuarbeiten, indem er z.B. bei impedanzkritischen Leiterbahnen die nächst größere Leiterbahnbreite oder eine andere Kupferschichtdicke wählt, um die Sensitivität der Leiterbahnimpedanz gegenüber den Ätzeinflüssen herunterzusetzen. Viele CAD-Werkzeuge enthalten heute bereits hilfreiche Hilfsmittel zur



CAM-Arbeitsplatz bei CONTAG mit der Impedanzberechnungs-Software von Polar. Die Software verfügt über knapp hundert unterschiedliche Impedanzmodelle



Impedanzberechnungs-Software von Polar Instruments: Bildschirmdarstellung Impedanzberechnung/Impedanzverhalten

Impedanzberechnung und ermöglichen so dem Entwickler sinnvolle Voruntersuchungen anzustellen. Vor der endgültigen Festlegung einer Designtechnologie sollte aber unbedingt der Fertigungspartner mit ins Boot genommen und dessen Erfahrungswerte berücksichtigt werden.

Impedanzkritische Signale wenn irgend möglich als Innenlagen führen

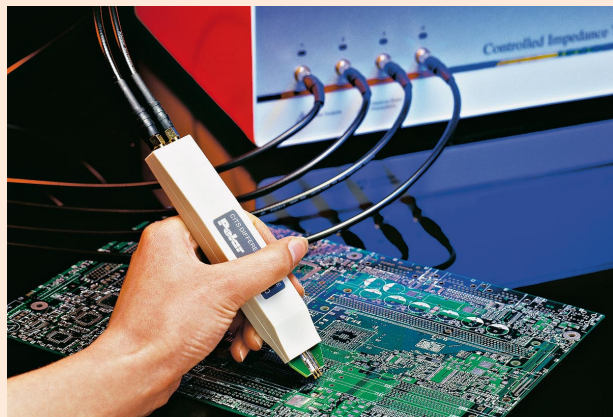
Wie in Kapitel 14 wird auch hier noch einmal ausdrücklich auf die Tatsache hingewiesen, dass sich die Kupfer-Schichtdicken auf die tatsächliche Schichtdicke beziehen. Wie der aufmerksame Leser dieser Serie aber weiß, nimmt die Kupferschichtdicke beim sequentiellen Lagenaufbau auf den Innenlagen durch die Ätzprozesse ab und auf allen Außenlagen, auf denen Kontaktierungen enden durch den Kontaktierungsprozess zu. Dabei ist die Abnahme der wirksamen Schichtdicke auf den Innenlagen wesentlich gleichmäßiger und zuverlässiger kalkulierbar als der Schichtaufbau auf den beim jeweiligen Kontaktierungsprozess wirksamen Außenlagen.

Sinnvollerweise sollten daher impedanzkritische Signale soweit irgendwie möglich auf einem Kern als Innenlagen geführt werden. Zur Vermeidung von ungewollten differentiellen Impedanzen sind die Mindestabstände zu Nachbarleitungen und Potentialflächen auf der gleichen Ebene unbedingt einzuhalten.

Impedanzen müssen während oder direkt nach der Leiterplattenfertigung ermittelt werden

Ist die Leiterplatte erst einmal bestückt lassen sich die Impedanzen der Leiterbahnen nicht mehr bestimmen. Kritische Impedanzwerte müssen also noch während oder unmittelbar nach dem Produktionsprozess der Leiterplatte ermittelt werden. Dazu werden auf den Produktionsnutzen zusätzlich zu den einzelnen Leiterplatten eigene Leiterplatten zum Impedanztest mit aufgebracht. Diese werden als Testcoupons bezeichnet und enthalten für die jeweilige Technologie charakteristische Leiterbahnzüge, aus denen dann durch Vermessen die entsprechenden Qualitätsaussagen für die Leiterplatten auf dem gleichen Nutzen getroffen werden können.

Diese werden dann entweder einzeln oder im Stichprobenverfahren an einem speziellen Messplatz ausgewertet. Bei CONTAG



Impedanzberechnungs-Software von Polar Instruments: Impedanzprüfung einer komplexen Leiterplatte

kommt hier zur Endkontrolle mit einem CITS900s von Polar, ein Messgerät der allerneuesten Generation zum Einsatz. Die Ergebnisse der Prüfung werden nach DIN ISO 9002 protokolliert und stehen auf Anforderung zur Verfügung. Vielfach können auch Teststrukturen (ggf. auch zusätzlich zu den Testcoupons) auf den Leiterplatten selbst mit aufgebracht werden, wenn dies platz- und funktionsmäßig möglich ist.

Auch hier gilt wieder: Wichtig ist die sorgfältige und frühzeitige Abstimmung mit dem Lieferanten des Vertrauens. Mit dessen Know-How und Erfahrung können unnötige Fehler und Irrwege bereits frühzeitig vermieden und Kosten eingespart werden.

CONTAG

Tel. +49(0)30 3517880

Alle Kapitel dieser Serie sind im Internet unter www.elektronikpraxis.de archiviert. Zu diesen Beiträgen gelangen Sie über unseren InfoClick-Service.

www.elektronikpraxis.de

Empfehlungen für das fertigungsgerechte Layout von HDI- und Mikrovia-Leiterplatten: Alle Kapitel der Serie

InfoClick

256596